

引用格式: 栾文焕, 王登杰, 贾晨, 等. 应用于 10Gbase-KR 的二阶时钟数据恢复电路的建模分析与电路设计[J]. 微电子学与计算机, 2020, 37(3): 1-4. [LUAN W H, WANG D J, JIA C, et al. Modeling analysis and circuit design of second-order clock data recovery circuit applied to 10Gbase-KR [J]. Microelectronics & Computer, 2020, 37(3): 1-4.]

应用于 10Gbase-KR 的二阶时钟数据恢复 电路的建模分析与电路设计

栾文焕¹, 王登杰¹, 贾晨², 王自强¹

(1 清华大学 微电子学研究所, 北京 100084; 2 深圳清华大学研究院, 深圳 518057)

摘 要: 本文针对 10 Gbase-KR 的应用场合, 设计了一款基于相位插值器的二阶 CDR, 通过对其进行线性建模分析, 折中抖动容忍、锁定时间以及抖动峰值的关系, 选取合适的增益系数, 并采用 SMIC 40 nm CMOS 工艺完成了电路设计. 其中二阶滤波器的比例和积分系数可调, 可以追踪 1 000 ppm 的偏差, 恢复时钟的抖动最差情况为 24 ps.

关键词: 高速串行; 接收机; 时钟数据恢复; 二阶滤波器

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2020)03-0001-04

Modeling analysis and circuit design of second-order clock data recovery circuit applied to 10 Gbase-KR

LUAN Wen-huan¹, WANG Deng-jie¹, JIA Chen², WANG Zi-qiang¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China;

2 Research Institute of Tsinghua University in Shenzhen, Shenzhen 518057, China)

Abstract: In this paper, a second-order CDR based on phase interpolator is designed for 10Gbase-KR. Through linear modeling and analysis, it makes a compromise between jitter tolerance, lock-in time and jitter peak value, and the appropriate gain coefficient is selected. The circuit is designed by SMIC 40 nm CMOS process, in which the ratio and integral coefficient of the second-order filter can be adjusted to track the deviation of 1 000 ppm, and the worst case of recovery clock jitter is 24 ps.

Key words: high speed serial link; receiver; clock and data recovery; second-order filter

1 引言

随着信息技术的飞速发展, 网络通信、计算机及消费类电子中海量数据传输对 I/O 端口的带宽和芯片间传输的速度要求也越来越高. 高速 SerDes 因其带宽利用率较高、传输线资源消耗少成本低、抗干扰能力较强, 成为主流的数据传输方式.

目前, 高速 SerDes 主要有两个发展方向, 一方面是 SerDes 收发机追求更高速的数据率, 另一方面

实现适用于多协议不同场合的高速 SerDes 收发机. 本文主要针对协议 10Gbase-KR 的高速 SerDes 应用, 进行二阶时钟数据恢复电路设计.

2 CDR 的建模分析

根据 10Gbase-KR 的协议要求, 首先确定 CDR 电路的拓扑结构. CDR 电路有多种的拓扑结构, 由于基于 PI 的 CDR 能够很好地追踪发射机和接收机的频差, 抖动容限大, 稳定性好, 设计复杂度低, 则本

文采用 PI 型 CDR 的拓扑结构. 半速 CDR 电路需要工作于 103 125 Gbps 的数据率, 而 bangbang 鉴相器只输出超前和滞后信息, 不输出数据和时钟的相位差大小, 能够很好的适应高速场合, 因此, 本文基于 bangbang 鉴相器设计 CDR 电路. 此外, 协议要求追踪一定的频差, 则需要采用二阶滤波器, 包括积分和比例两条支路, 比例支路追踪相位偏差, 而积分器可以累积一段时间内的相位偏差即为频率偏差, 有更强的纠正能力.

接着对二阶 CDR 进行线性等效建模, 验证 CDR 电路的功能正确性. 在进行环路线性化分析时, 应先将 bangbang 鉴相器的增益进行线性化等效^[1-3]. 考虑 bangbang 鉴相器输入带有符合高斯分布的抖动, 则输入时钟和数据的相位差对应的概率密度函数为:

$$p(x) = \frac{1}{\sqrt{2\pi}\sigma_j} \exp\left(-\frac{x^2}{2\sigma_j^2}\right) \quad (1)$$

上式表示相对于原点偏离了 x , x 可以看做一随机变量, 其分布函数为 $F(\Delta T) = P[x < \Delta T]$, 特征函数为 $g(x)$, 由于 bangbang 鉴相器的特征函数为符号函数, 即 $g(x) = \text{sgn}(x)$.

当 CDR 环路锁定时, BBPD 的平均输出应该为

0, 即期望值 $E[g(x)] = 0$. 未锁定时, BBPD 的平均值不为 0, 后续电路会移动时钟的相位, 使 BBPD 输出 1 和 -1 的概率相同. 当概率密度函数 $p(x)$ 偏离 ΔT , 实际的期望值为:

$$E[g(x + \Delta T)] = \int_{-\infty}^{+\infty} g(x + \Delta T) p(x) dx \quad (2)$$

将 $p(x)$ 带入式(2)中, 可以得到:

$$\begin{aligned} E[g(x + \Delta T)] &= \int_{-\infty}^{+\infty} \text{sgn}(x + \Delta T) p(x) dx \\ &= 1 - 2 \int_{\Delta T}^{+\infty} p(x) dx \\ &= 1 - 2F(\Delta T) \end{aligned} \quad (3)$$

则 BBPD 的线性增益为:

$$\begin{aligned} K_{PD} &= \left. \frac{\partial E[g(x + \Delta T)]}{\partial \Delta T} \right|_{\Delta T \rightarrow 0} \\ &= 2p(0) = \frac{1}{\sqrt{2\pi}\sigma_j} \end{aligned} \quad (4)$$

二阶 CDR 电路的 Z 域线性环路等效模型如图 1 所示^[4-5], 其中, TD 为输入数据的跳变概率, K_{pd} 为鉴相器的增益, K_v 为投票器的增益, K_p 为滤波器比例支路的增益, K_i 为滤波器积分支路的增益, K_{pi} 为 PI 的增益, $z^{-N_{el}}$ 为整个环路其他电路的延时. 可以得到开环传输函数、输入传输函数和误差传递函数分别为:

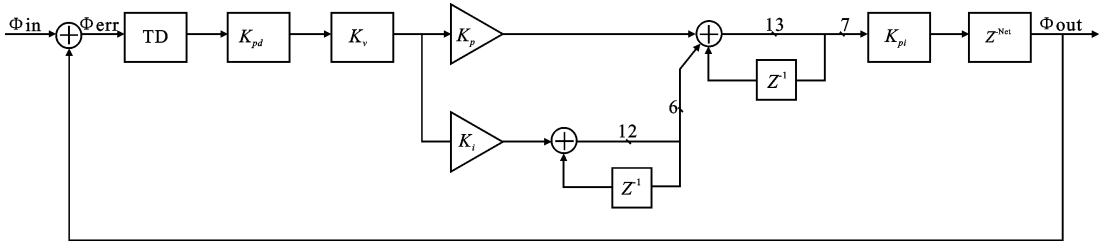


图 1 二阶 CDR 电路的 Z 域线性环路等效模型

$$\begin{aligned} G(z) &= \text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{1 - z^{-1}}) \cdot \\ &\quad \frac{1}{1 - z^{-1}} \cdot K_{pi} \cdot z^{-N_{el}} \end{aligned} \quad (5)$$

$$H(z) = \frac{\Phi_{out}}{\Phi_{in}} = \frac{G(z)}{1 + G(z)} \quad (6)$$

$$H_e(z) = \frac{\Phi_{err}}{\Phi_{in}} = \frac{1}{1 + G(z)} \quad (7)$$

将 z 域变换至 s 域后, 上述公式可以写成:

$$\begin{aligned} G(s) &= \text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{s}) \cdot \frac{1}{s} \cdot \\ &\quad K_{pi} \cdot e^{-sT_s N_{el}} \end{aligned} \quad (8)$$

$$\begin{aligned} H(s) &= \\ &\quad \frac{\text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{s}) \cdot \frac{1}{s} \cdot K_{pi} \cdot e^{-sT_s N_{el}}}{1 + \text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{s}) \cdot \frac{1}{s} \cdot K_{pi} \cdot e^{-sT_s N_{el}}} \end{aligned} \quad (9)$$

$$\begin{aligned} H_e(s) &= \\ &\quad \frac{1}{1 + \text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{s}) \cdot \frac{1}{s} \cdot K_{pi} \cdot e^{-sT_s N_{el}}} \end{aligned} \quad (10)$$

抖动容忍所能接受的最大抖动:

$$\begin{aligned} G_{jitter}(s) &= \\ &\quad \frac{1 + \text{TD} \cdot K_{pd} \cdot K_v \cdot (K_p + K_i \cdot \frac{1}{s}) \cdot \frac{1}{s} \cdot K_{pi} \cdot e^{-sT_s N_{el}}}{2} UI \end{aligned} \quad (11)$$

当输入为相位阶跃时, 相位误差 Φ_{err} 为:

$$\lim_{t \rightarrow \infty} \Phi_{err}(t) = \lim_{s \rightarrow 0} s \cdot \Phi_{err}(s) = 0 \quad (12)$$

只存在相位误差时, 比例支路将误差纠正成零, 从图 2 可以看出, PI 控制字最终动态的稳定在两临

近的控制字,CDR 处于锁定状态。

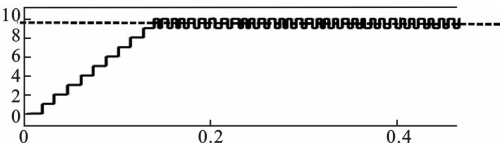


图 2 输入为相位阶跃时的 PI 控制字波形

当输入为频率阶跃时,相位误差 Φ_{err} 为:

$$\lim_{t \rightarrow \infty} \Phi_{\text{err}}(t) = \lim_{s \rightarrow 0} s \cdot \Phi_{\text{err}}(s) = 0 \quad (13)$$

设置 10.312 5 Gbps 数据和时钟之间存在 100 ppm 的频偏,可以得到图 3 的结果。PI 的控制字变化周期为 2 μ s,即环路能够追踪输入频差的变化,时钟可以对齐输入数据,CDR 已锁定。

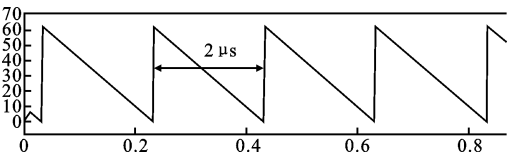


图 3 输入为频率阶跃时的 PI 控制字波形

解串器、鉴相器、投票器和相位插值器的电路结构比较固定,相应的增益也已确定,只能改变滤波器的积分和比例系数以改变 CDR 环路的带宽,从而改变环路锁定速度和抖动容忍等特性。减小积分支路的增益,带宽变小,滤除高频抖动更彻底,环路的峰值也更小,但锁定时间变长;减小比例支路的增益,带宽变小,但是环路的峰值变大,会放大对应频率值附近的噪声。因此要合理选取比例和积分支路的增益系数,同时要保证 $K_p/K_i > 128$ 。表 1 为本文选取的 K_p 和 K_i 值。

表 1 滤波器的 K_p 和 K_i 值

K_p	K_i
2^{-1}	$2^{-10}/2^{-11}/2^{-12}$
2^{-2}	$2^{-10}/2^{-11}/2^{-12}$
2^{-3}	$2^{-10}/2^{-11}/2^{-12}$

3 CDR 的电路设计

根据上文的建模结果,设计如图 4 所示的 CDR 电路,CDR 主要包括采样器、解串器、鉴相器、投票器、滤波器、相位插值器控制字产生电路和相位插值器。经过均衡的数据 INP/INN 被采样后,得到数据信息 $d[1,0]$ 和沿信息 $e[1,0]$,利用解串器降速,以便后面的电路处理均采用节省功耗的 CMOS 电路,鉴相器通过数据信息 $d[7,\cdots,0,7_1]$ 和沿信息 $e[7,\cdots,0]$ 产生 4 路超前/滞后信号,投票器和滤波器能

够滤除信号的毛刺,使送入 PI 控制字产生电路的信号 $\text{ctl}<6:0>$ 比较平滑,四组 16 位控制字送入 PI 后产生移相的时钟。当 CDR 锁定时,PI 产生的时钟与数据率相同,且时钟相位处于最佳采样点,此时有最大的抖动容忍能力。

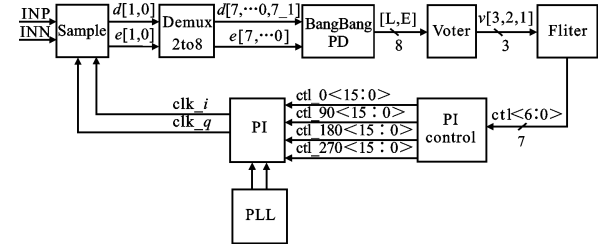


图 4 CDR 的电路框架图

Bangbang 鉴相器只检测数据和时钟相位差的极性,将超前/滞后信息传递给投票器。采用三级投票器对多路超前/滞后信息进行整合,其中第一级投票器将输入转换成有符号数,方便后两级投票器基于超前进位加法器进行设计实现。

图 5 为滤波器的电路实现框图,比例路径实现相位积分,加法器最高累加 13 位信号,舍弃低 7 位,系数 K_p 取 32/16/8,则可得到比例路径的增益为 $K_p \times 2^{-6}$,即 $2^{-1}/2^{-2}/2^{-3}$ 。积分路径累加之前的相位信息,实现频率积分,加法器最高累加 12 位信号,舍弃低 6 位,系数 K_i 取 4/2/1,则可得到积分路径的增益为 $K_i \times 2^{-12}$,即 $2^{-10}/2^{-11}/2^{-12}$ 。

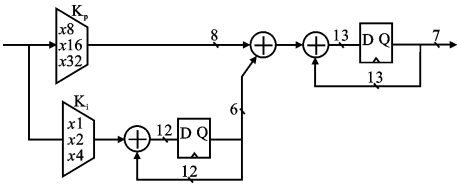
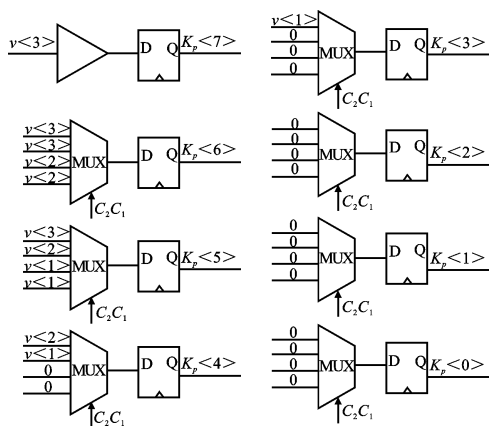


图 5 滤波器的电路框图

系数 K_p 、 K_i 的电路结构均基于 8 bit 选择寄存器实现的,以 K_p 为例说明电路的实现方式,图 6 中, $v<3:1>$ 为投票器的输出, K_p 取值由外部带宽控制字 $C_2 C_1$ 控制产生,当 $C_1 C_2 = 10/11$ 时,寄存器的低 5 位补成低电平,对应 $K_p = 32$,当 $C_2 C_1 = 01$ 时,寄存器的低 4 位补成低电平,对应 $K_p = 16$,当 $C_2 C_1 = 00$ 时,寄存器的低 3 位补成低电平,对应 $K_p = 8$,从而实现了系数 K_p 。对于积分支路来说,加法器有一累加上限,需要对电路进行溢出处理,在加至最大值后需要保持最大值,直至遇到该值变小的情况。

图6 系数 K_p 的电路实现

4 CDR 的仿真结果验证分析

设置 10.312 5 GHz 时钟与数据存在一频差 1 000 ppm, 控制字的波形变化如图 7, 控制字周期性变化, 变化周期为 0.2 μ s, 与频差的周期相符, 即插值后的时钟始终能够追上数据的频率变化, 对应的未锁定和锁定后恢复出的时钟和重定时数据的眼图如图 8 所示。

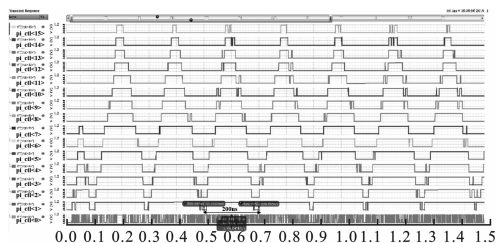
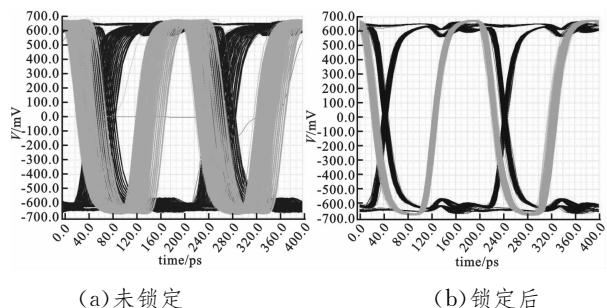
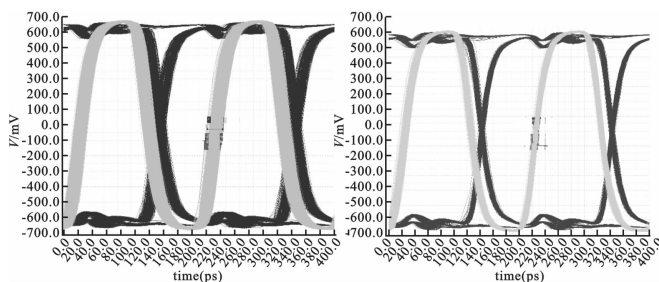
图7 控制字 $pi_ctl<15:0>$ 的波形

图8 时钟和数据的眼图

改变系数 K_p 、 K_i 的值, 可以改变 CDR 的带宽, 从而影响锁定时间以及产生时钟的质量。当设置 CDR 带宽较大时, 可以得到图 9(a) 的眼图, 68 ns 锁定, 但是恢复出的时钟抖动为 24 ps, 滤波器不能滤除高频处的抖动; 当设置 CDR 带宽较小时, 可以得到图 9(b) 的眼图, 260 ns 才锁定, 但是恢复出的时钟抖动仅为 7 ps, 可以很好的滤除高频

抖动。



(a) 设置较大的 CDR 带宽 (b) 设置较小的 CDR 带宽

图9 眼图

5 结束语

本文对基于 PI 的二阶 CDR 进行了环路建模和分析, 并采用 SMIC 40 nm CMOS 工艺进行电路设计, 仿真结果表明该 CDR 可以追踪 1 000 ppm 的频差, 同时, 电路可以调节不同的 K_p 、 K_i 值, 通过改变 CDR 的带宽, 从而影响锁定时间以及产生时钟的质量。

参考文献:

- [1] SONNTAG J L, STONICK J. A digital clock and data recovery architecture for multi-gigabit/s binary links [J]. IEEE Journal of Solid-State Circuits, 2006, 41 (8): 1867-1875.
- [2] JRI LEE, KUNDERT K S, RAZAVI B. Analysis and modeling of bang-bang clock and data recovery circuits [J]. IEEE Journal of Solid-State Circuits, 2004, 39 (9): 1571-1580.
- [3] SUN Y, WANG H. Analysis of digital bang-bang clock and data recovery for multi-gigabit/s serial transceivers [C]//2009 IEEE Custom Integrated Circuits Conference. Rome, 2009: 343-346.
- [4] 王运锋. FT-SerDes CDR 关键电路设计[D]. 长沙: 国防科学技术大学, 2015.
- [5] 花正贝. 符合 PCIe2.0 规范的时钟数据恢复电路设计[D]. 合肥: 中国科学技术大学, 2016.

作者简介:

栾文焕 女, (1994-), 硕士研究生. 研究方向为集成电路设计. E-mail: luanwh16@mails. tsinghua. edu. cn.

王登杰 男, (1993-), 硕士研究生. 研究方向为集成电路设计.

贾晨 男, (1986-), 硕士, 副研究员. 研究方向为集成电路测试. E-mail: jiachen@tsinghua. edu. cn.

王自强 男, (1975-), 博士, 副研究员. 研究方向为模拟集成电路设计.